

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-221926
(P2000-221926A)

(43)公開日 平成12年8月11日 (2000.8.11)

(51)Int.Cl.⁷
G 0 9 G 3/20
G 0 2 F 1/133
G 0 9 G 3/36
H 0 3 K 3/356

識別記号
6 2 0
5 0 5

F I
G 0 9 G 3/20
G 0 2 F 1/133
G 0 9 G 3/36
H 0 3 K 3/356

テーマコード* (参考)
6 2 0 Z
5 0 5
E

審査請求 未請求 請求項の数 8 O.L. (全 11 頁)

(21)出願番号 特願平11-23384

(22)出願日 平成11年2月1日 (1999.2.1)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74)代理人 100086298

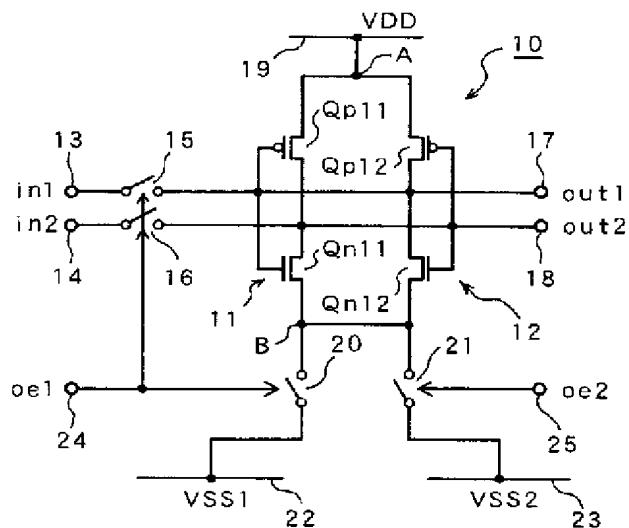
弁理士 船橋 國則

(54)【発明の名称】 ラッチ回路およびこれを搭載した液晶表示装置

(57)【要約】

【課題】 CMOSラッチセルの後段にレベルシフト回路を設けると、素子数が多くなるため小面積化が困難であり、また低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換えるようにすると、前段の信号バッファのサイズが大きくなり、やはり小面積化が困難になる。

【解決手段】 CMOSラッチセル10を基本構成とし、レベルシフト機能を持つラッチ回路において、CMOSラッチセル10の負電源側にVSS1電源とVSS2電源を選択する2つのスイッチ20, 21を設け、これらスイッチ20, 21をCMOSラッチセル10のラッチ動作および出力動作の各期間に応じてスイッチング制御し、ラッチ動作の期間ではVSS1電源で動作させ、出力動作の期間ではVSS2電源で動作させるようとする。



【特許請求の範囲】

【請求項1】 CMOSラッチセルを基本構成とし、前記CMOSラッチセルの正電源側および負電源側の少なくとも一方に設けられて、電源電圧が異なる第1、第2の電源をそれぞれ選択する第1、第2のスイッチと、前記CMOSラッチセルのラッチ動作および出力動作の各期間に応じて前記第1、第2のスイッチをスイッチング制御する制御手段とを備えたことを特徴とするラッチ回路。

【請求項2】 前記第1、第2のスイッチがトランジスタによって実現されていることを特徴とする請求項1記載のラッチ回路。

【請求項3】 請求項1記載のラッチ回路が複数個配置されており、この複数個のラッチ回路に対して前記第1、第2のスイッチが共用されていることを特徴とするラッチ回路。

【請求項4】 ガラス基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項1記載のラッチ回路。

【請求項5】 シリコン基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項1記載のラッチ回路。

【請求項6】 走査系を含む駆動回路を画素部と同一基板上に一体形成してなる液晶表示装置であって、前記走査系を、CMOSラッチセルを基本構成とし、前記CMOSラッチセルの正電源側および負電源側の少なくとも一方に設けられて、電源電圧が異なる第1、第2の電源をそれぞれ選択する第1、第2のスイッチと、前記CMOSラッチセルのラッチ動作および出力動作の各期間に応じて前記第1、第2のスイッチをスイッチング制御する制御手段とを備えたラッチ回路を用いて構成したことを特徴とする液晶表示装置。

【請求項7】 前記第1、第2のスイッチがトランジスタによって実現されていることを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記ラッチ回路がデジタルデータのビット数に対応して複数個配置されており、この複数個のラッチ回路に対して前記第1、第2のスイッチが共用されていることを特徴とする請求項6記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ラッチ回路およびこれを搭載した液晶表示装置に関し、特にCMOSラッチセルを基本構成とし、レベルシフト機能を持つラッチ回路およびこのラッチ回路を走査系の構成回路の一つとして搭載したいわゆる駆動回路一体型液晶表示装置に関する。

【0002】

【従来の技術】 CMOSで構成されるレベルシフト機能を持つラッチ回路の従来例1を図10に示す。この従来

例1に係るラッチ回路は、第1、第2の入力信号in1、in2をラッチパルスに応答して取り込む第1、第2のスイッチ101、102と、これらスイッチ101、102によって取り込まれた各信号をラッチするCMOSラッチセル103と、このCMOSラッチセル103のラッチデータのレベルをシフトするレベルシフト回路104とを有する構成となっている。

【0003】 ここで、CMOSラッチセル103は、正電源電圧VDDの電源ライン105と負電源側電圧（例えれば、グランドレベル）VSS1の電源ライン106との間に並列に接続された2つのCMOSインバータ107、108からなり、一方のCMOSインバータ107の入力端と他方のCMOSインバータ108の出力端とが接続され、他方のCMOSインバータ108の入力端と一方のMOSインバータ107の出力端とが接続された回路構成となっている。

【0004】 また、レベルシフト回路104は、電源ライン105と電源電圧VSS1よりも低い電源電圧（負電源電圧）VSS2の電源ライン109との間に接続され、CMOSラッチセル103でラッチされたデータの低レベル側を、電源電圧VSS1から電源電圧VSS2にレベルシフトする。

【0005】 上記構成の従来例1に係るラッチ回路において、in1としてVDD～VSS1の低電圧振幅の信号が入力され、in2として信号in1の反転信号が入力されるものとする。この低電圧振幅の信号in1、in2は、ラッチパルスに応答してスイッチ101、102がオンすることによってCMOSラッチセル103にラッチされ、その後レベルシフト回路104によってVDD～VSS2（VSS2<VSS1）の振幅の信号にレベルシフトされ、出力信号out1、out2として導出される。

【0006】 図11に、レベルシフト機能を持つラッチ回路の従来例2を示す。この従来例2に係るラッチ回路は、第1、第2の入力信号in1、in2をラッチパルスに応答して取り込む第1、第2のスイッチ201、202と、これらスイッチ201、202によって取り込まれた各信号をラッチするCMOSラッチセル203とを有する構成となっている。

【0007】 ここで、CMOSラッチセル203は、電源ライン204と電源電圧VSS1よりも低い電源電圧VSS2の電源ライン205との間に並列に接続された2つのCMOSインバータ206、207からなり、一方のCMOSインバータ206の入力端と他方のCMOSインバータ207の出力端とが接続され、他方のCMOSインバータ207の入力端と一方のMOSインバータ206の出力端とが接続された回路構成となっている。

【0008】 上記構成の従来例2に係るラッチ回路において、in1としてVDD～VSS1の低電圧振幅の信

号が入力され、in2として信号in1の反転信号が入力されるものとする。この低電圧振幅の信号in1, in2は、ラッチパルスに応答してスイッチ101, 102がオンすることによってCMOSラッチセル103にVDD～VSS2の振幅の信号としてラッチされ、この振幅の信号がそのまま出力信号out1, out2として導出される。

【0009】

【発明が解決しようとする課題】しかしながら、上述した従来例1に係るラッチ回路では、CMOSラッチセル103の後段にレベルシフト回路104を配する必要があることから、本ラッチ回路を構成する素子数が多くなるため、小面積化が困難であるという問題点がある。一方、従来例2に係るラッチ回路にあっては、従来例1に係るラッチ回路に比べてレベルシフト回路を別途設ける必要がない分だけ少ない素子数で実現できる反面、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換えなければならないため、前段の信号バッファのサイズが大きくなり、やはり小面積化が困難になるという問題点がある。

【0010】ところで、各画素のスイッチング素子としてポリシリコンTFT (thin filmtransistor; 薄膜トランジスタ) が2次元マトリクス状に配置されたガラス基板 (液晶パネル) 上に、デジタルインターフェース駆動回路をポリシリコンTFTで画素部と一緒に形成してなる駆動回路一体型液晶表示装置において、その作成に際して上記ラッチ回路の小面積化は、駆動回路を形成する画素部の周辺領域 (額縁) の狭幅化を図る上で重要なポイントとなる。

【0011】すなわち、駆動回路一体型液晶表示装置において、上述したラッチ回路は、各コラム線／各ビットに対応して設けられるラッチ回路として不可欠であり、このラッチ回路として水平方向のドット数×ビット数の数だけ必要となるため、ラッチ回路を小面積化できないことは、結果として、液晶パネルの額縁の幅が広がるという問題につながる。

【0012】また、上述したレベルシフト機能を持つラッチ回路を搭載した駆動回路一体型液晶表示装置において、第2の電源 (上記の例では、VSS2電源) に流れる電流を極力小さくしたい場合がある。例えば、TFTで作成され駆動回路一体型液晶表示装置において、上記ラッチ回路を水平駆動系の構成回路の一つとして搭載し、同時に第2の電源発生回路をTFTで作成しようとする場合である。

【0013】この場合、レベルシフト機能を持つラッチ回路が多数必要になるため、第2の電源発生回路へ流れる電流の総量が大きくなる。一方、電流容量を十分に確保できる電源発生回路をTFTで作成するのは非常に難しい。結局、TFTでガラス基板上に第2の電源発生回路を一体形成するのが困難となり、周辺回路の面積が増

大するという問題につながる。

【0014】なお、従来例1, 2に係るラッチ回路では、VDD～VSS1の低電圧振幅の信号in1, in2をVDD～VSS2の振幅の信号にレベルシフトを行う構成となっているが、さらに第3の電源の電源電圧VDD2 (VDD2>VDD) へのレベルシフトを行う場合もある。

【0015】その従来例を図12および図13に示す。

図12は図10に対応した従来例3であり、図13は図11に対応した従来例4である。従来例3に係るラッチ回路は、レベルシフト回路104の後段に、電源電圧VDDよりも高い電源電圧VDD2の電源ライン110と電源電圧VSS2の電源ライン109との間に接続された第2のレベルシフト回路111を備えた構成となっている。一方、従来例4に係るラッチ回路は、CMOSラッチセル203そのものが、電源電圧VDDよりも高い電源電圧VDD2の電源ライン208と電源電圧VSS2の電源ライン205との間に接続された構成となっている。

20 【0016】この従来例3に係るラッチ回路および従来例4に係るラッチ回路の場合にも、先述した従来例1に係るラッチ回路および従来例2に係るラッチ回路の場合と同様の問題点を持つことになる。

【0017】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、電源に流れる電流を抑制することができるとともに、小面積化が可能なラッチ回路およびこれを搭載した液晶表示装置を提供することにある。

【0018】

30 【課題を解決するための手段】本発明によるラッチ回路は、CMOSラッチセルを基本構成とし、このCMOSラッチセルの正電源側および負電源側の少なくとも一方に設けられて、電源電圧が異なる第1, 第2の電源をそれぞれ選択する第1, 第2のスイッチと、CMOSラッチセルのラッチ動作および出力動作の各期間に応じて第1, 第2のスイッチをスイッチング制御する制御手段とを備えた構成となっている。

【0019】本発明による液晶表示装置は、走査系を含む駆動回路を画素部と一緒に形成してなる駆動回路一体型液晶表示装置であって、走査系の構成回路の一つを、上記構成のラッチ回路を用いて構成している。

40 【0020】上記構成のラッチ回路およびこれを搭載した液晶表示装置において、ラッチ動作の期間では、第1のスイッチをオン (閉) させることで、第1の電源のもとにラッチ動作が行われ、入力信号がCMOSラッチセルにサンプリングラッチされる。次に、出力動作の期間では、第2のスイッチのオンさせることで、第1の電源とは電源電圧の異なる第2の電源のもとにレベル変換 (レベルシフト) および出力動作が行われる。その結

果、第1の電源電圧によって決まる振幅の信号が、第2の電源電圧によって決まる振幅の信号として導出される。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0022】図1は、本発明の第1実施形態に係るラッチ回路の構成の一例を示す回路図である。この第1実施形態に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNチャネルMOS（以下、単にNMOSと記す）トランジスタQn11およびPチャネルMOS（以下、単にPMOSと記す）トランジスタQp11からなるCMOSインバータ11と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn12およびPMOSトランジスタQp12からなるCMOSインバータ12とが、互いに並列に接続されてなるCMOSラッチセル10を基本構成としている。

【0023】このCMOSラッチセル10において、CMOSインバータ11の入力端、即ちMOSトランジスタQn11、Qp11のゲート共通接続点と、CMOSインバータ12の出力端、即ちMOSトランジスタQn12、Qp12のドレイン共通接続点とが接続され、さらにCMOSインバータ12の入力端、即ちMOSトランジスタQn12、Qp12のゲート共通接続点とCMOSインバータ11の出力端、即ちMOSトランジスタQn11、Qp11のドレイン共通接続点とが接続されている。

【0024】CMOSインバータ11の入力端と第1回路入力端子13との間にスイッチ15が接続され、CMOSインバータ12の入力端と第2回路入力端子14との間にスイッチ16が接続されている。また、CMOSインバータ12の出力端は第1回路出力端子17に、CMOSインバータ11の出力端は第2回路出力端子18にそれぞれ接続されている。そして、これら回路出力端子17、18を通して互いに逆極性（逆相）の2つの出力信号out1、out2が導出される。

【0025】このCMOSラッチセル10の正電源側、即ちノードAは正の電源電圧VDDの電源ライン19に直接接続されている。また、負電源側、即ちノードBはスイッチ20を介して負電源側電圧（例えば、グランドレベル）VSS1の電源ライン22に接続されるとともに、スイッチ21を介して電源電圧VSS1よりも低い電源電圧（負電源電圧）VSS2の電源ライン23に接続されている。

【0026】スイッチ20はスイッチ15、16と共に、図示せぬ制御回路から入力端子24に入力されるアウトプットイネーブルパルスoe1によってスイッチング制御される。一方、スイッチ21は、上記制御回路から入力端子25に入力されるアウトプットイネーブルパ

ルスoe2によってスイッチング制御される。

【0027】上記構成の第1実施形態に係るラッチ回路において、第1回路入力端子13にはVDD～VSS1の振幅を持つ信号in1が入力され、第2回路入力端子14には入力信号in1の反転信号in2が入力されるものとする。ここで、第1実施形態に係るラッチ回路の回路動作について、図2のタイミングチャートを用いて説明する。

【0028】先ず、アクティブ“H”のアウトプットイネーブルパルスoe1が入力端子24に入力されると、これに応答してスイッチ15、16がオン（閉）状態となって入力信号in1、in2をサンプリングし、CMOSラッチセル10へ伝達する。これにより、入力信号in1、in2は、VDD～VSS1の振幅で一旦CMOSラッチセル10にラッチされる。

【0029】このラッチ動作の期間では、スイッチ20がアウトプットイネーブルパルスoe1に応答してオン状態にある一方、アウトプットイネーブルパルスoe2がアウトプットイネーブルパルスoe1の逆極性（“L”レベル）にあることから、スイッチ21がオフ（開）状態にあるため、CMOSラッチセル10の負電源側は電源電圧VSS1の電源ライン22に接続されることになる。

【0030】次に、アウトプットイネーブルパルスoe1が“L”レベルに遷移するとともに、アウトプットイネーブルパルスoe2が“H”レベルに遷移することによって出力動作の期間に移行する。この期間では、スイッチ20がオフ状態、スイッチ21がオン状態となるため、CMOSラッチセル10の負電源側は電源電圧VSS2の電源ライン23に接続されることになる。

【0031】これにより、CMOSラッチセル10において、それまでVDD～VSS1の振幅でラッチされていた信号が、VDD～VSS2の振幅を持つことになる。そして、このVDD～VSS2の振幅の信号が信号out1、out2として出力されることになる。その結果、VDD～VSS1の振幅を持つ信号in1、in2をサンプリングラッチし、VDD～VSS2の振幅を持つ信号out1、out2にレベル変換（レベルシフト）することができる。

【0032】上述したように、第1実施形態に係るラッチ回路では、CMOSラッチセル10を基本構成とし、レベルシフト機能を持つラッチ回路において、CMOSラッチセル10の負電源側にVSS1電源とVSS2電源を選択する2つのスイッチ20、21を設け、これらスイッチ20、21をCMOSラッチセル10のラッチ動作および出力動作の各期間に応じてスイッチング制御するようにしたことにより、CMOSラッチセル10がラッチ動作の期間ではVSS1電源で動作し、出力動作の期間ではVSS2電源で動作することになる。

【0033】これにより、VSS1/VSS2の電源に

流れる電流を抑制することができ、特に出力負荷を充電するための充電電流の多くはVDD電源からVSS1電源に向かって流れるため、VSS2電源に流れる電流が非常に少ない。しかも、少ない回路素子数でラッチ動作およびレベルシフト動作を実現できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化のレベルシフト機能付きラッチ回路を実現できることになる。

【0034】図3に、別のタイミング例を示す。図3のタイミング例では、アウトプットイネーブルパルスo e 2の立ち下がりがアウトプットイネーブルパルスo e 1の立ち上がりよりも若干早く、アウトプットイネーブルパルスo e 2の立ち上がりがアウトプットイネーブルパルスo e 1の立ち下がりよりも若干遅くなっている。このようなタイミング関係にすることで、VSS2電源へ流れ込む電流を確実に減らすことができる。

【0035】図4は、第1実施形態に係るラッチ回路の具体例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。この具体例に係るラッチ回路では、図1のスイッチ15, 16, 20, 21として、NMOSトランジスタQn13, Qn14, Qn15, Qn16を用い、トランジスタQn13, Qn14, Qn15の各ゲートにアウトプットイネーブルパルスo e 1を、トランジスタQn16のゲートにアウトプットイネーブルパルスo e 2をそれぞれ印加するようにした構成となっている。

【0036】このように、スイッチ15, 16, 20, 21をトランジスタで実現した場合にも、その回路の動作は図1の回路の場合と同じである。また、タイミング例についても図2および図3と同じである。なお、本具体例では、スイッチ15, 16, 20, 21をNMOSで実現しているが、アウトプットイネーブルパルスo e 1, o e 2がアクティブ“L”の場合には、その極性は逆になることは明らかである。

【0037】図5は、本発明の第2実施形態に係るラッチ回路の構成の一例を示す回路図である。この第2実施形態に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn31およびPMOSトランジスタQp31からなるCMOSインバータ31と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn32およびPMOSトランジスタQp32からなるCMOSインバータ32とが、互いに並列に接続されてなるCMOSラッチセル30を基本構成としている。

【0038】このCMOSラッチセル30において、CMOSインバータ31の入力端、即ちMOSトランジスタQn31, Qp31のゲート共通接続点と、CMOSインバータ32の出力端、即ちMOSトランジスタQn32, Qp32のドレイン共通接続点とが接続され、さ

らにCMOSインバータ32の入力端、即ちMOSトランジスタQn32, Qp32のゲート共通接続点とCMOSインバータ31の出力端、即ちMOSトランジスタQn31, Qp31のドレイン共通接続点とが接続されている。

【0039】CMOSインバータ31の入力端と第1回路入力端子33との間にスイッチ35が接続され、CMOSインバータ32の入力端と第2回路入力端子34との間にスイッチ36が接続されている。また、CMOS10 インバータ32の出力端は第1回路出力端子37に、CMOSインバータ31の出力端は第2回路出力端子38にそれぞれ接続されている。そして、これら回路出力端子37, 38を通して互いに逆極性(逆相)の2つの出力信号out1, out2が導出される。

【0040】このCMOSラッチセル30の正電源側、即ちノードAはスイッチ39を介して正電源電圧VDD1の電源ライン41に接続されるとともに、スイッチ40を介して電源電圧VDD1よりも高い電源電圧VDD2の電源ライン42に接続されている。また、負電源側、即ちノードBは負電源側電圧(例えば、グランドレベル)VSSの電源ライン43に直接接続されている。

【0041】スイッチ39はスイッチ35, 36と共に、図示せぬ制御回路から入力端子44に入力されるアウトプットイネーブルパルスo e 1によってスイッチング制御される。一方、スイッチ40は、上記制御回路から入力端子45に入力されるアウトプットイネーブルパルスo e 2によってスイッチング制御される。

【0042】上記構成の第2実施形態に係るラッチ回路において、第1回路入力端子33にはVDD1～VSS30 の振幅を持つ信号in1が入力され、第2回路入力端子34には入力信号in1の反転信号in2が入力されるものとする。また、アウトプットイネーブルパルスo e 1, o e 2としては、第1実施形態に係るラッチ回路の場合と同様に、図2又は図3のタイミング関係にあるパルスが入力される。

【0043】これにより、第2実施形態に係るラッチ回路では、基本的に、第1実施形態に係るラッチ回路と同じ動作が行われる。すなわち、アウトプットイネーブルパルスo e 1がアクティブのラッチ動作の期間では、V40 DD1電源のもとで動作し、VDD1～VSSの振幅を持つ信号in1, in2がスイッチ35, 36を通してCMOSラッチセル30に同じ振幅で一旦ラッチされる。

【0044】次に、アウトプットイネーブルパルスo e 2がアクティブの出力動作の期間では、CMOSラッチセル30の正側の電源がVDD1電源からVDD2電源に切り換わるため、VDD1～VSSの振幅を持つ信号がVDD2～VSSの振幅の信号にレベルシフトされ、これが出力信号out1, out2として導出されるこ50 となる。

【0045】上述したように、第2実施形態に係るラッチ回路では、CMOSラッチセル30の正電源側に電源選択用の2つのスイッチ39, 40を設け、これらスイッチ39, 40をCMOSラッチセル30のラッチ動作および出力動作の各期間に応じてスイッチング制御することにより、ラッチ動作の期間ではVDD1電源で動作し、出力動作の期間ではVDD2電源で動作することになるため、第1実施形態の場合と同様に、VDD1/VDD2の電源に流れる電流を抑制することができ、しかも少ない回路素子数で構成できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化が可能となる。

【0046】図6は、本発明の第3実施形態に係るラッチ回路の構成の一例を示す回路図である。この第3実施形態に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn51およびPMOSトランジスタQp51からなるCMOSインバータ51と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn52およびPMOSトランジスタQp52からなるCMOSインバータ52とが、互いに並列に接続されてなるCMOSラッチセル50を基本構成としている。

【0047】このCMOSラッチセル50において、CMOSインバータ51の入力端、即ちMOSトランジスタQn51, Qp51のゲート共通接続点と、CMOSインバータ52の出力端、即ちMOSトランジスタQn52, Qp52のドレイン共通接続点とが接続され、さらにCMOSインバータ52の入力端、即ちMOSトランジスタQn52, Qp52のゲート共通接続点とCMOSインバータ51の出力端、即ちMOSトランジスタQn51, Qp51のドレイン共通接続点とが接続されている。

【0048】CMOSインバータ51の入力端と第1回路入力端子53との間にスイッチ55が接続され、CMOSインバータ52の入力端と第2回路入力端子54との間にスイッチ56が接続されている。また、CMOSインバータ52の出力端は第1回路出力端子57に、CMOSインバータ51の出力端は第2回路出力端子58にそれぞれ接続されている。そして、これら回路出力端子57, 58を通して互いに逆極性(逆相)の2つの出力信号out1, out2が導出される。

【0049】このCMOSラッチセル50の正電源側、即ちノードAはスイッチ59を介して正電源電圧VDD1の電源ライン61に接続されるとともに、スイッチ60を介して電源電圧VDD1よりも高い電源電圧VDD2の電源ライン62に接続されている。また、負電源側、即ちノードBはスイッチ63を介して負電源側電圧(例えば、グランドレベル)VSS1の電源ライン65に接続されるとともに、スイッチ64を介して電源電圧

(6)

10

VSS1よりも低い電源電圧(負電源電圧)VSS2の電源ライン66に接続されている。

【0050】スイッチ59, 63はスイッチ55, 56と共に、図示せぬ制御回路から入力端子67に入力されるアウトプットイネーブルパルスoe1によってスイッチング制御される。一方、スイッチ60, 64は、上記制御回路から入力端子68に入力されるアウトプットイネーブルパルスoe2によってスイッチング制御される。

10 【0051】上記構成の第3実施形態に係るラッチ回路において、第1回路入力端子53にはVDD1～VSSの振幅を持つ信号in1が入力され、第2回路入力端子54には入力信号in1の反転信号in2が入力されるものとする。また、アウトプットイネーブルパルスoe1, oe2としては、第1, 第2実施形態に係るラッチ回路の場合と同様に、図2又は図3のタイミング関係にあるパルスが入力される。

【0052】これにより、第3実施形態に係るラッチ回路では、基本的に、第1, 第2実施形態に係るラッチ回路と同じ動作が行われる。すなわち、アウトプットイネーブルパルスoe1がアクティブのラッチ動作の期間では、VDD1, VSS1の各電源のもとで動作し、VDD1～VSS1の振幅を持つ信号in1, in2がスイッチ55, 56を通してCMOSラッチセル50に同じ振幅で一旦ラッチされる。

【0053】次に、アウトプットイネーブルパルスoe2がアクティブの出力動作の期間では、CMOSラッチセル50の正側の電源がVDD1電源からVDD2電源に切り換わるとともに、負側の電源がVSS1電源からVSS2電源に切り換わるため、VDD1～VSS1の振幅を持つ信号がVDD2～VSS2の振幅の信号にレベルシフトされ、これが出力信号out1, out2として導出されることになる。

【0054】上述したように、第3実施形態に係るラッチ回路では、CMOSラッチセル50の正電源側および負電源側にそれぞれ2つのスイッチ59, 60およびスイッチ63, 64を電源選択用として設け、これらスイッチ59, 60およびスイッチ63, 64をCMOSラッチセル50のラッチ動作および出力動作の各期間に応じてスイッチング制御することにより、ラッチ動作の期間ではVDD1, VSS1の各電源で動作し、出力動作の期間ではVDD2, VSS2の各電源で動作することになるため、第1, 第2実施形態の場合と同様に、各電源に流れる電流を抑制することができ、しかも少ない回路素子数で構成できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化が可能となる。

【0055】なお、上記第2, 第3実施形態に係るラッチ回路についても、第1実施形態の具体例(図4を参

50

照)と同様に、図5におけるスイッチ35, 36, 39, 40および図6におけるスイッチ55, 56, 59, 60, 63, 64をトランジスタで実現可能である。ただし、図5におけるスイッチ39, 40および図6におけるスイッチ59, 60としては、PMOSトランジスタが好ましく、この場合はこれらをスイッチングする信号としてアウトプットイネーブルパルスo e 1, o e 2の各反転信号を用いることになる。

【0056】また、第1, 第2, 第3実施形態に係るラッチ回路では、互いに反転信号である2つの出力信号o ut 1, o ut 2を導出する構成としたが、いずれか一方の出力信号のみを導出する構成であっても良い。

【0057】以上説明した本発明の第1, 第2, 第3実施形態に係るレベルシフト機能付きラッチ回路は、例えば、各画素のスイッチング素子としてポリシリコンTFTが2次元マトリクス状に配置されたガラス基板上に、デジタルインターフェース駆動回路をポリシリコンTFTで画素部と一体形成してなる駆動回路一体型液晶表示装置において、その水平駆動系の第2ラッチ回路として用いられる。図7に、駆動回路一体型液晶表示装置の構成の一例を示す。

【0058】図7において、画素が2次元マトリクス状に配置されてなる有効画素領域71の例えは上側に水平駆動系72が配され、また例えは左側に垂直駆動系73が配され、ポリシリコンTFTで有効画素領域71と共にガラス基板上に一体形成された構成となっている。水平駆動系72は、水平シフトレジスタ721、サンプリング&第1ラッチ回路722、第2ラッチ回路723およびDA(デジタルアナログ)コンバータ724によって構成されている。垂直駆動系73は、シフトレジスタを含む垂直ドライバ731によって構成されている。

【0059】水平駆動系72において、水平シフトレジスタ721には、水平転送パルスとして水平スタートパルスHSTおよび水平クロックパルスHCKが与えられる。すると、水平シフトレジスタ721は、水平スタートパルスHSTに応答して水平クロックパルスHCKの周期で各段から順次シフトパルスを出力することによって水平走査を行う。サンプリング&第1ラッチ回路722は、水平シフトレジスタ721から出力されるシフトパルスに応答してデジタルデータを順次サンプリングし、さらにサンプリングしたデータを有効画素領域71の各コラム線ごとにラッチする。

【0060】第2ラッチ回路723は、サンプリング&第1ラッチ回路722でラッチされたコラム線に対応するラッチデータを、1H(Hは水平走査期間)周期で与えられるラッチ信号に応答して1Hごとに再ラッチする。DAコンバータ724は、第2ラッチ回路723に再ラッチされたデジタルデータを各コラム線ごとにアナログ信号に変換し、このアナログ信号を対応するコラム線に供給する。

【0061】上記構成の駆動回路一体型液晶表示装置において、第2ラッチ回路723として、本発明の第1, 第2, 第3実施形態に係るレベルシフト機能付きラッチ回路が用いられるのである。第2ラッチ回路723には、バッファ74を介してラッチパルスが与えられる。また、水平走査系72および垂直駆動系73を含む駆動回路と同様に、第2の電源VDD2/VSS2を発生する第2の電源発生回路75が、ポリシリコンTFTで画素部と一体形成される。

【0062】このように、小面積で実現でき、低消費電力のレベルシフト機能付きラッチ回路を第2ラッチ回路723として搭載することにより、当該ラッチ回路723を含む水平駆動系72や垂直駆動系73などの駆動回路および第2の電源発生回路75を、有効画素領域71と同一基板上に作成する際に、当該駆動回路を配する有効画素領域71の周辺領域(額縁)を狭くできるとともに、低消費電力の駆動回路一体型液晶表示装置を実現できることになる。

【0063】以下に、駆動回路一体型液晶表示装置への適用の具体例について説明する。図8は、本発明の第1実施形態に係るラッチ回路(図1を参照)を第2ラッチ回路723として用いた場合の具体例を示すブロック図であり、例えは3ビットのデジタルデータb0, b1, b2を入力する場合の例を示している。

【0064】図8から明らかなように、デジタルデータb0, b1, b2の各ビットごとにサンプリングラッチ回路722-1, 722-2, 722-3が、さらにその後段にラッチ回路723-1, 723-2, 723-3がそれぞれ設けられている。サンプリングラッチ回路722-1, 722-2, 722-3は、デジタルデータb0, b1, b2の各ビットデータを入力とし、水平シフトレジスタ72(図7を参照)から出力されるサンプリングパルスにしたがって、各入力データのサンプリングを行うようになっている。

【0065】一方、ラッチ回路723-1, 723-2, 723-3には、サンプリングラッチ回路722-1, 722-2, 722-3から各サンプリングデータが供給されるとともに、外部から入力されるラッチパルスに基づいてバッファ74から出力されるアウトプットイネーブルパルスo e 1, o e 2がラッチパルスとして入力され、さらに第2の電源発生回路75からVSS2電源が負側の第2の電源として供給される構成となっている。

【0066】これにより、ラッチ回路723-1, 723-2, 723-3は、前段のサンプリングラッチ回路722-1, 722-2, 722-3の各サンプリングデータをアウトプットイネーブルパルスo e 1に応答してサンプリングラッチした後、データの同時化(線順次化)と次段のDA変換に必要な信号振幅へのレベル変換をアウトプットイネーブルパルスo e 2のタイミングで行い、しかる後DAコンバータ724を通して有効画素領域71の対

応するコラム線へ出力する。

【0067】このように、第2ラッチ回路723を含む水平駆動系72や垂直駆動系73の駆動回路と共に、第2の電源発生回路75をTFTで一体形成する構成の駆動回路一体型液晶表示装置において、第2ラッチ回路723として本発明の第1実施形態に係るラッチ回路を用いることにより、当該ラッチ回路ではラッチ動作／出力動作の各期間で電源を使い分けるようにしているため、第2の電源発生回路75に流れる電流を抑制できる。これにより、第2の電源発生回路75の液晶パネルへの内蔵(一体形成)化が容易になるとともに、第2ラッチ回路723を小面積にて実現できるため、液晶パネルの狭額縁化が可能となる。

【0068】図9は、図8の変形例を示すブロック図であり、図中、図8と同等部分には同一符号を付している。この変形例では、各ラッチ回路723-1, 723-2, 723-3の負電源側のスイッチ(図1のスイッチ20, 21に相当)としてスイッチ76, 77を設け、このスイッチ76, 77を各回路723-1, 723-2, 723-3間で共用した構成となっている。

【0069】この構成によれば、デジタルデータが例えば3ビットの例では、図1の回路をそのまま用いた場合には、3ビットに対応した3個のラッチ回路の各々に対して負電源側のスイッチが2個、計6個の電源切り換え用のスイッチが必要であるのに対して、3個のラッチ回路に対して2個のスイッチで済み、電源切り換え用のスイッチを4個削減できることになるため、さらなる小面積化が可能となり、よって液晶パネルのより狭額縁化が実現できることになる。

【0070】なお、本例では、第2ラッチ回路723として、第1実施形態に係るラッチ回路を用いるとしたが、第2, 第3実施形態に係るラッチ回路を用いることも可能であり、同様の作用効果を得ることができる。

【0071】また、本例では、本発明に係るレベルシフト機能付きラッチ回路を、駆動回路一体型液晶表示装置における水平駆動系72の第2ラッチ回路723に適用した場合を例にとって説明したが、これに限られるものではなく、シリコン基板上に形成されたTFTを用いた回路システム全般に適用可能である。

【0072】

【発明の効果】以上説明したように、本発明によれば、CMOSラッチセルの正側および負側の電源の少なくとも一方側に、電源を選択するためのスイッチを2つ用意し、これらスイッチをラッチ動作／出力動作の各期間に応じてスイッチング制御するようにしたことにより、各電源に流れる電流を抑制することができ、しかも少ない回路素子数で構成できるため、小面積にて実現できることになる。

10 【図面の簡単な説明】

【図1】本発明の第1実施形態に係るラッチ回路の構成の一例を示す回路図である。

【図2】第1実施形態に係るラッチ回路の回路動作を説明するためのタイミングチャートである。

【図3】別のタイミング例を示すタイミングチャートである。

【図4】第1実施形態に係るラッチ回路の具体例を示す回路図である。

20 【図5】本発明の第2実施形態に係るラッチ回路の構成の一例を示す回路図である。

【図6】本発明の第3実施形態に係るラッチ回路の構成の一例を示す回路図である。

【図7】本発明に係る駆動回路一体型液晶表示装置の構成の一例を示すブロック図である。

【図8】第2ラッチ回路に適用した場合の具体例を示すブロック図である。

【図9】図8の変形例を示すブロック図である。

【図10】従来例1の回路図である。

【図11】従来例2の回路図である。

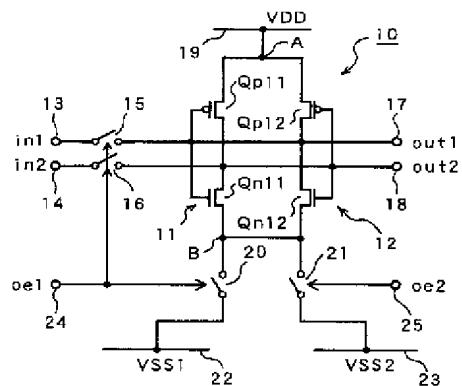
30 【図12】従来例3の回路図である。

【図13】従来例4の回路図である。

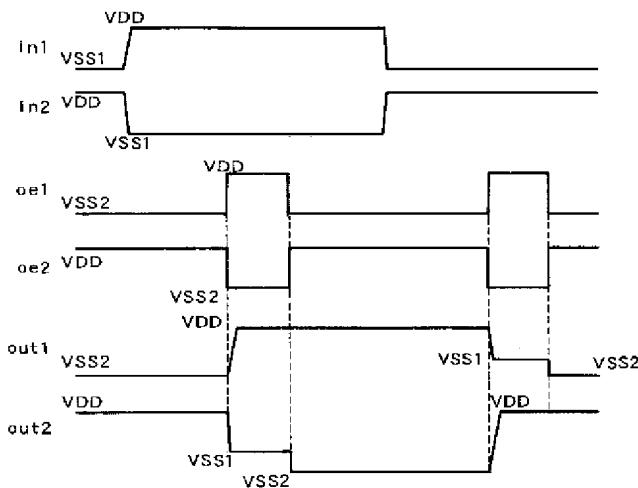
【符号の説明】

10, 30, 50…CMOSラッチセル、11, 12, 31, 32, 51, 52…CMOSインバータ、20, 21, 63, 64…負側電源切り換え用スイッチ、39, 40, 59, 60…正側電源切り換え用スイッチ、71…有効画素領域、72…水平駆動系、73…垂直駆動系、723…第2ラッチ回路

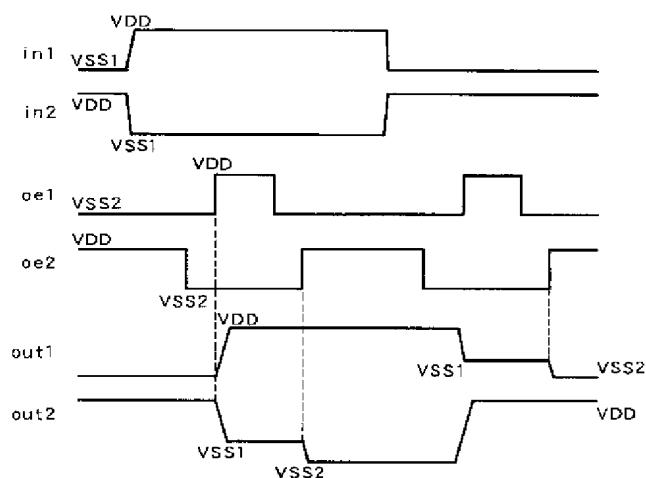
【図1】



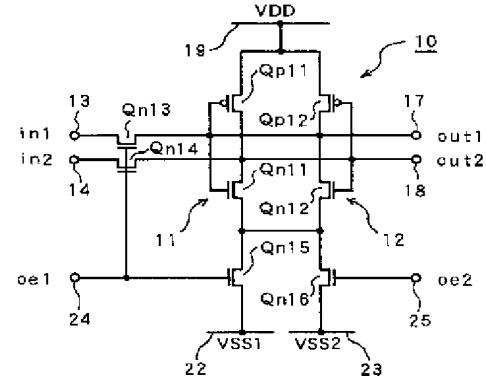
【図2】



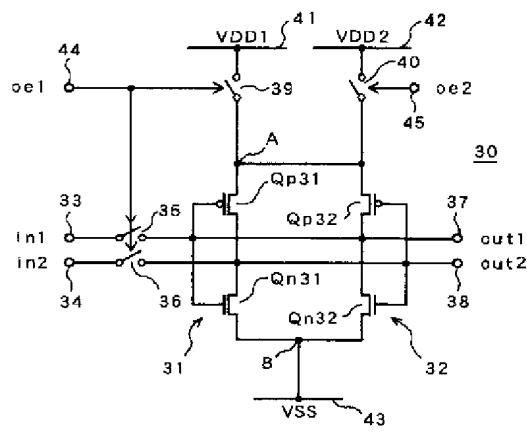
【図3】



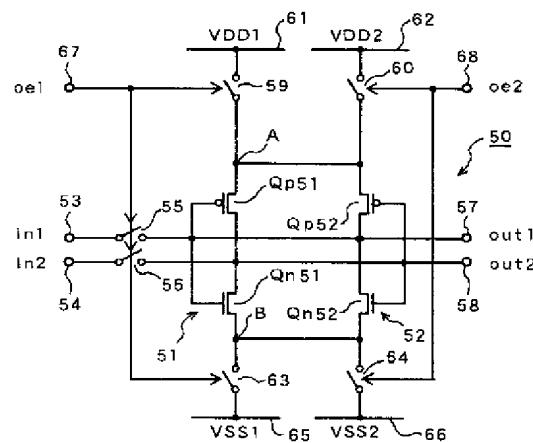
【図4】



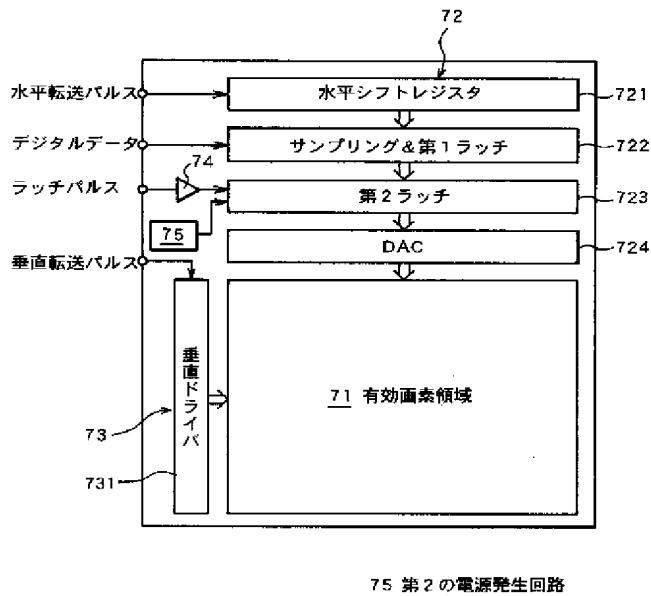
【図5】



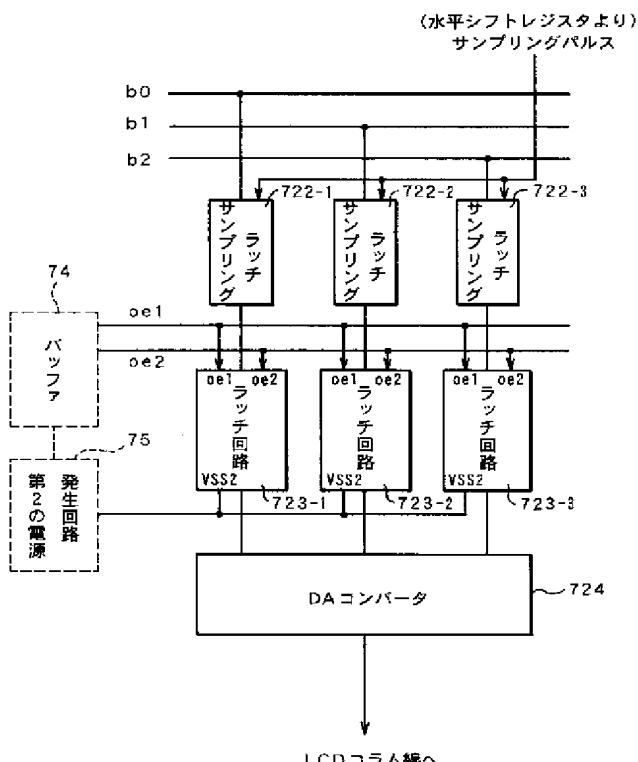
【図6】



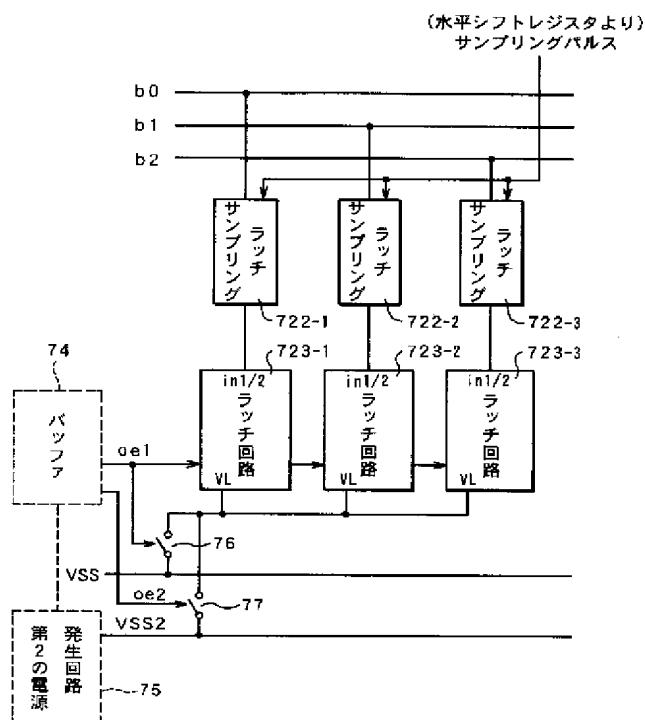
【図7】



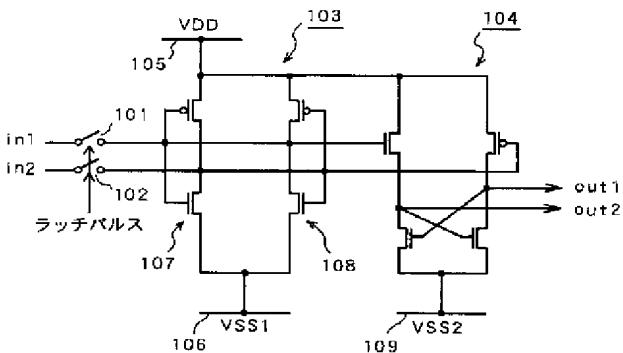
【図8】



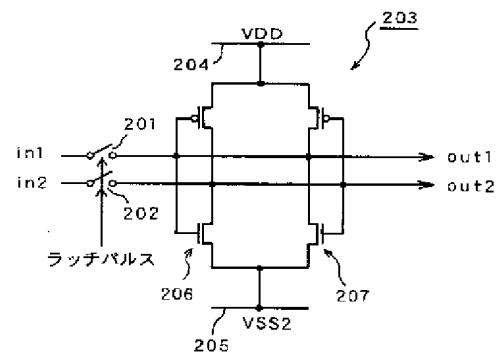
【図9】



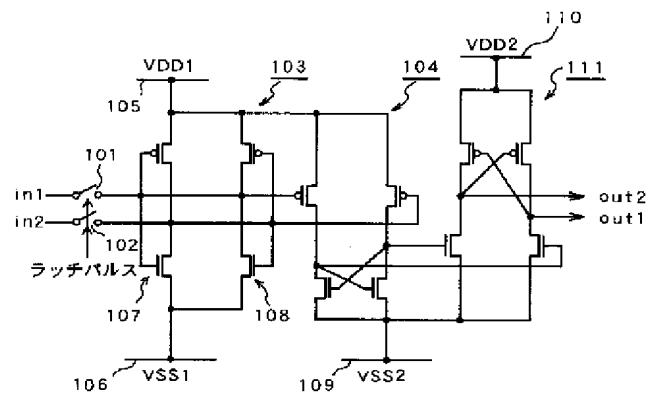
【図10】



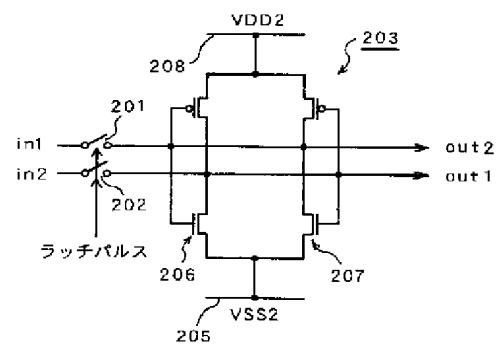
【図11】



【図12】



【図13】



PAT-NO: JP02000221926A
DOCUMENT-IDENTIFIER: JP 2000221926 A
TITLE: LATCH CIRCUIT AND LIQUID CRYSTAL
DISPLAY DEVICE MOUNTING THE SAME
PUBN-DATE: August 11, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAJIMA, YOSHIHARU	N/A
MAEKAWA, TOSHIICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP11023384
APPL-DATE: February 1, 1999

INT-CL (IPC): G09G003/20 , G02F001/133 , G09G003/36 , H03K003/356

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a latch circuit capable of suppressing a current flowing in a power supply, and capable of reducing the area, and a liquid crystal display device mounting the latch circuit.

SOLUTION: In this latch circuit having a CMOS latch cell 10 as a basic configuration and a level shift function, two switches 20, 21 for selecting a VSS1 power supply and a VSS2 power supply are installed on the negative power supply side of the CMOS latch cell 10, and switching control of the switches 20, 21 are executed corresponding to each period of a latch operation and an output operation of the CMOS latch cell 10, and the circuit is operated by the VSS1 power supply during the period of the latch operation and operated by the VSS2 power supply during the period of the output operation.

COPYRIGHT: (C)2000,JPO